

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-268355

(43)Date of publication of application : 28.09.2001

(51)Int.Cl.

H04N 1/40

G06T 1/00

H04N 1/19

H04N 1/401

(21)Application number : 2000-077474

(71)Applicant : RICOH CO LTD

(22)Date of filing : 21.03.2000

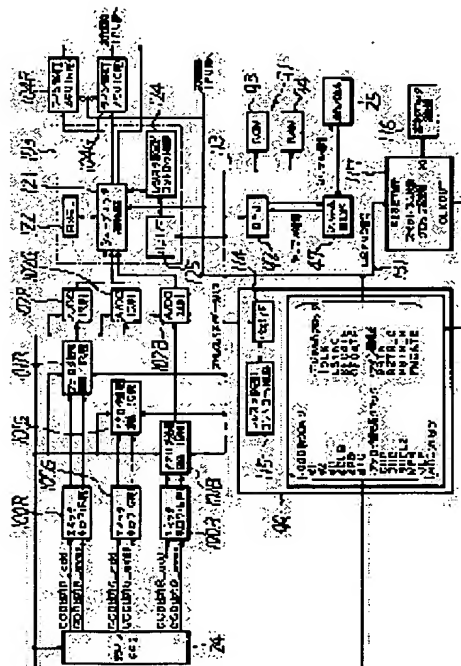
(72)Inventor : TAGUCHI KAZUE
ISHIZAKI YUSUKE

(54) IMAGE SCANNING APPARATUS

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an image scanning apparatus capable of removing the cyclic noise of a main scanning line by a post-shading processing means, and clearing an EMI regulation by making the cyclic noise of the main scanning line equal to that in the following main scanning lines at the time of modulating the driving clock of a photoelectric converting means or analog processing with a spectrum diffuse clock.

SOLUTION: The phases of modulation cycles of a spectrum diffuse clock generating circuit 117 are lined up corresponding to a scanning line synchronizing signal LSYNC so that the phases of modulation frequencies can be matched by a modulation phase aligning means 131. Thus, it is possible to make the cyclic noise of a main scanning line equal to that in the following main scanning lines. Therefore, it is possible to remove the cyclic noise by a post-shading correcting circuit 103, and to clear an EMI regulation.



【特許請求の範囲】

【請求項1】 光像を受光して受光量に応じたアナログ信号を出力するライン状の光電変換手段と、
原稿画像を露光してその原稿画像に応じた光像を前記光電変換手段へ導く光学系と、
前記光電変換手段から出力されるアナログ信号に対するサンプルホールド手段を含み前記アナログ信号をアナログ処理するアナログ処理手段と、
このアナログ処理手段により処理されたアナログ信号をデジタル信号に変換するA/D変換手段と、
このA/D変換手段により変換されたデジタル信号をシェーディング処理するシェーディング処理手段と、
少なくとも前記光電変換手段、前記アナログ処理手段、前記A/D変換手段及び前記シェーディング処理手段の各動作クロックを発生させるタイミング信号発生手段と、
このタイミング信号発生手段に対する基準クロックを発生させる基準クロック発生手段と、
これらのタイミング信号発生手段と基準クロック発生手段との間に介在されて前記基準クロックを周波数変調するスペクトラム拡散クロック発生手段と、
このスペクトラム拡散クロック発生手段の変調周期の位相を主走査ライン同期信号に対応させて揃える変調位相整列手段と、を備える画像読取装置。

【請求項2】 前記変調位相整列手段は、主走査ライン同期信号を前記スペクトラム拡散クロック発生手段に対するリセット信号とする請求項1記載の画像読取装置。

【請求項3】 前記変調位相整列手段は、前記光電変換手段の電荷蓄積時間を決定する移送ゲートクロック信号を前記スペクトラム拡散クロック発生手段に対するリセット信号とする請求項1記載の画像読取装置。

【請求項4】 前記主走査ライン同期信号の周期が、前記スペクトラム拡散クロック発生手段の変調周期の整数倍である請求項1ないし3の何れかに記載の画像読取装置。

【請求項5】 前記シェーディング処理手段は、前記光電変換手段の全画素分の黒メモリを備える請求項1ないし4の何れかに記載の画像読取装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、イメージスキャナ、デジタル複写機のスキャナ部等のライン状のCCD固体撮像素子等の光電変換手段を用いて原稿画像を読み取る画像読取装置に関する。

【0002】

【従来の技術】 一般に、この種の画像読取装置で用いられるCCD固体撮像素子等の光電変換素子を駆動するのに転送クロック×2、リセットクロック、クランプクロック、最終段クロック等の多数のクロックを使用しているので、この駆動クロックの基本周波数成分の高調波が

発生する。また、CCD固体撮像素子を搭載した基板は、光学系の構成上、結像レンズ面に対して平行に取り付けられるため、駆動クロック発生用のタイミング信号発生回路とは別基板になっていることが多い。この場合、ハーネス接続となり、この部分からの電磁波放射も避けられない状態である。このような放射電磁波があると、近くにある他の機器が誤動作してしまう可能性もあるので、EMI (Electromagnetic interference: 電磁波干渉) 対策が必要となる。

10 【0003】 この点、例えば、特開平9-98152号公報によれば、マイコンや同期クロックを使用するデジタル回路に対する一般的なEMI対策法として拡散スペクトラムクロック生成装置を基準クロック発生装置の後段に設けることが提案されている。即ち、基準クロック発生装置によるクロック信号を周波数変調するスペクトラム拡散技術を使用することで、高調波のピークの周波数分布を広げてピークを下げることで、クロックによる高調波成分を下げてEMI低減を図るようにしたものである。

20 【0004】

【発明が解決しようとする課題】 ところが、特開平9-98152号公報例による場合、一般的なEMI対策に留まるものであり、画像読取装置固有のEMI対策は特に考慮されておらず、必ずしもEMI規制をクリアし得るものではない。

【0005】 より具体的には、例えば、光電変換手段(CCD)やアナログ処理回路の駆動クロックにスペクトラム拡散クロックによる変調をかけると、サンプリングする信号の波形形状によっては周期的なノイズが発生することが考えられる。即ち、アナログ回路に関しては、そのアナログ出力部においては信号出力部分が十分に平坦性を保てれば特に問題がないが、平坦性を保てなくなってくると問題となる。特に、動作周波数が高くなればなるほど困難となる。

【0006】 このようなことから、現状では、EMIフィルタを用いるとか6層基板等の多層基板を用いるとか、板金や板ばねのグランディングやシールド強化を図るといったメカ的な対策が必要で、コストが嵩むものとなっている。

40 【0007】 そこで、本発明は、光電変換手段やアナログ処理回路の駆動クロックにスペクトラム拡散クロックによる変調をかける上で、主走査ラインの周期的なノイズを次の主走査ライン以降に対して等しくすることにより、後段のシェーディング処理手段で取り除くことができ、EMI規制をクリアし得る画像読取装置を提供することを目的とする。

【0008】 また、本発明は、横レジスト(主走査方向の読取位置の機械差)等のばらつきの影響を受けることもない画像読取装置を提供することを目的とする。

50 【0009】 また、本発明は、スペクトラム拡散クロッ

ク発生手段を入れた場合と入れない場合とで主走査ライン同期信号の周期を等しくすることで、同期信号周期のずれによる倍率ずれや読取値の微妙なずれ（光電変換手段の電荷蓄積時間のずれ）を防止できる画像読取装置を提供することを目的とする。

【0010】さらには、変調によるノイズは黒部側に影響度が大きいので、この変調による変動を確実に取ることができる画像読取装置を提供することを目的とする。

【0011】

【課題を解決するための手段】請求項1記載の発明は、
10 光像を受光して受光量に応じたアナログ信号を出力するライン状の光電変換手段と、原稿画像を露光してその原稿画像に応じた光像を前記光電変換手段へ導く光学系と、前記光電変換手段から出力されるアナログ信号に対するサンプルホールド手段を含み前記アナログ信号をアナログ処理するアナログ処理手段と、このアナログ処理手段により処理されたアナログ信号をデジタル信号に変換するA/D変換手段と、このA/D変換手段により変換されたデジタル信号をシェーディング処理するシェーディング処理手段と、少なくとも前記光電変換手段、前記アナログ処理手段、前記A/D変換手段及び前記シェーディング処理手段の各動作クロックを発生させるタイミ
20 ング信号発生手段と、このタイミング信号発生手段に対する基準クロックを発生させる基準クロック発生手段と、これらのタイミング信号発生手段と基準クロック発生手段との間に介在されて前記基準クロックを周波数変調するスペクトラム拡散クロック発生手段と、このスペクトラム拡散クロック発生手段の変調周期の位相を主走査ライン同期信号に対応させて揃える変調位相整列手段と、を備える。

【0012】従って、光電変換手段やアナログ処理手段の駆動クロックにスペクトラム拡散クロックによる変調をかけると、サンプリングする信号の波形形状によっては周期的なノイズが発生することが考えられるが、変調位相整列手段によりスペクトラム拡散クロック発生手段の変調周期の位相を主走査ライン同期信号に対応させて揃えることで、変調周波数の位相が一致するので、主走査ラインの周期的なノイズを次の主走査ライン以降に対しても等しくすることができ、よって、後段のシェーディング処理手段により周期的なノイズを取り除くことができ、EMI規制をクリアできることとなる。

【0013】請求項2記載の発明は、請求項1記載の画像読取装置において、前記変調位相整列手段は、主走査ライン同期信号を前記スペクトラム拡散クロック発生手段に対するリセット信号とする。

【0014】従って、主走査ライン同期信号を用いてスペクトラム拡散クロックの変調プロファイルのライン毎の同期が確実に取られるので、周期的なノイズが発生しても後段のシェーディング処理手段により確実に取り除くことができる。

【0015】請求項3記載の発明は、請求項1記載の画像読取装置において、前記変調位相整列手段は、前記光電変換手段の電荷蓄積時間を決定する移送ゲートクロック信号を前記スペクトラム拡散クロック発生手段に対するリセット信号とする。

【0016】従って、主走査ライン同期信号に周期が等しいCCD等の光電変換手段に対する駆動クロックの一部でありその電荷蓄積時間を決定するための移送ゲートクロック信号をリセット信号として利用することにより、横レジストのぼらつきの影響を受けることなく、周期的なノイズを取り除くことができる。

【0017】請求項4記載の発明は、請求項1ないし3の何れかーに記載の画像読取装置において、前記主走査ライン同期信号の周期が、前記スペクトラム拡散クロック発生手段の変調周期の整数倍である。

【0018】従って、主走査ライン同期信号の周期を変調周期の整数倍とすることにより、スペクトラム拡散クロック発生手段を入れた場合と入れない場合とで主走査ライン同期信号の周期を等しくすることで、同期信号周期のずれによる倍率ずれや読取値の微妙なずれ（光電変換手段の電荷蓄積時間のずれ）を防止できる。

【0019】請求項5記載の発明は、請求項1ないし4の何れかーに記載の画像読取装置において、前記シェーディング処理手段は、前記光電変換手段の全画素分の黒メモリを備える。

【0020】従って、変調によるノイズは黒部側に影響度が大きいので、シェーディング処理手段に黒メモリを全画素分持つことにより、変調による変動を確実に取ることができる。

【0021】

【発明の実施の形態】本発明の一実施の形態を図面に基づいて説明する。

【0022】[前提的構成例] まず、図1に基づいて本実施の形態が適用されるデジタル複写機1の概略構成について説明する。このデジタル複写機は、原稿から画像を読み取る画像読取装置であるスキャナ部2と、印刷用紙に画像を形成するプリンタ部3とを有する。

【0023】このプリンタ部3は、内部上方に配置されたドラム状の感光体4の周囲に、トナークリーナ5、帯電チャージャ6、レーザスキャナ7、4個の現像器8、転写ベルト9等が配置されており、この転写ベルト9や定着器10が用紙搬送路11に配置されることにより電子写真機構12が形成されている。

【0024】また、この電子写真機構12に用紙搬送路11で連通する位置には、サイズや方向が相違する印刷用紙を供給する複数の給紙カセット13や手差トレイ14が設けられており、これらの手差トレイ14や給紙カセット13にセットされた印刷用紙を駆動制御機構（図示せず）が電子写真機構12に供給する。なお、本実施の形態のプリンタ部3は、電子写真機構12により印刷

用紙にフルカラーで画像を形成するので、4個の現像器8の各々には、YMC Bk (Yellow, Magenta, Cyanide, Black) のカラートナー (図示せず) が個々に収納されている。

【0025】また、スキャナ部2は、本体ハウジング15の上面にコンタクトガラス16が設けられており、このコンタクトガラス16の上面に読取原稿 (図示せず) が載置される。そして、このコンタクトガラス16に対向する位置に第1の走査ユニット17が移動自在に支持されており、この第1の走査ユニット17と対向する位置に第2の走査ユニット18が移動自在に支持されている。ここで、第1の走査ユニット17は、ハロゲンランプ19と反射面が45度に傾斜した反射ミラー20とで形成されており、第2の走査ユニット18は、各々45度に傾斜して内角90度で対向する一対の反射ミラー21、22で形成されている。

【0026】そして、この第2の走査ユニット18の反射ミラー22と対向する位置には、結像光学系23を介して光電変換手段としての3ラインCCD24が固定的に配置されており、この3ラインCCD24には、CCDアレイからなりB光とG光とR光とを各々読み取るBラインとGラインとRライン (何れも図示せず) とが、数ラインの間隔で連設されている。

【0027】ここで、第1・第2の走査ユニット17、18の走査速度は2:1に設定されているので、コンタクトガラス16から第1・第2の走査ユニット17、18を介して3ラインCCD24まで連通する結像光路の光路長は、第1・第2の走査ユニット17、18が移動しても一定である。そして、このような一定長の結像光路により、コンタクトガラス16に載置されてハロゲンランプ19により照明された読取原稿の反射光を、3ラインCCD24が画像データに光電変換する。

【0028】また、本体ハウジング15の上面でコンタクトガラス16より手前には操作パネル25が設けられている。この操作パネル25には、外観的には図2に示すように、1個のタッチパネル26と各種キー27~36とが設けられている。

【0029】より詳細には、この操作パネル25には、複写動作に関連した基本的な各種キーとして、数値を入力操作するテンキー27、モード初期化や予熱開始を入力操作するクリア/予熱キー28、割込動作の開始を入力操作する割込キー29、画質調整を入力操作する画質調整キー30、モード登録やモード呼出の開始を入力操作するプログラムキー31、複写開始を入力操作するスタートキー32、データ初期化や動作中止を入力操作するクリア/ストップキー33、画像データのエリア加工の開始を入力操作するエリア加工キー34、手差両面モードのモード設定を入力操作する手差両面キー35、タッチパネル26の輝度を調節する調光キー36等が設けられている。

【0030】そして、上述のような各種キー27~36によりキーボード37が1個のユニットとして形成されており、このキーボード37にタッチパネル26を組み込むことにより操作パネル25が形成されている。

【0031】さらに、タッチパネル26の周囲には、図3に示すように、その画像表示に関連した各種キーとして、画像読取の開始を入力操作する読取キー38、画像データの全体表示を入力操作する全体キー39、画像表示の倍率が約150、200、300 (%)として入力操作される3個の拡大キー40、表示画面の移動を入力操作する画面移動キー41、カーソルの移動を入力操作するカーソルキー42、カーソルを指定点にプロットすることを入力操作する点指定キー43、指定点による加工エリアの設定を入力操作する閉じるキー44、最後の指定点の消去を入力操作するクリアキー45、全部の指定点の消去を入力操作するオールクリアキー46等が設けられている。

【0032】ここで、本実施の形態のデジタル複写機1の電気的なブロック構造を図4に基づいて説明する。スキャナ部2とプリンタ部3との各々が、各種制御を実行するシステム制御ユニット47と、画像データを加工処理する画像処理ユニット48とに各々接続されている。そして、システム制御ユニット47には、各種コマンドを通信するシリアル通信ドライバ49を介してCPU50が接続されており、画像処理ユニット48には、画像データを通信するデータバッファ51、画像データの転送をスケジューリングするFIFO (First In First Out) のラインバッファ52、画像データを蓄積するDRAM (Dynamic RAM) 53が順次接続されている。

【0033】ここで、CPU50には、DMAC (Direct Memory Access Controller) が内蔵されており、このDMACがDRAM53に接続されている。さらに、CPU50には、タッチパネル26の表示を制御するLCDコントローラ54とキーボード37等とが接続されており、制御プログラムなどを記憶したROM55及びSRAM (Static RAM) 56も接続されている。そして、LCDコントローラ54には、画像データが展開されるVRAM (Video RAM) 57が接続されており、このVRAM57にLCDコントローラ54を介してDRAM53が接続されている。

【0034】なお、タッチパネル26は、EL (Electro Luminescence) 等のバックライト (図示せず) とドットマトリクス of LCDモジュール58とアナログのスイッチプレート59とを順次積層した構造となっている。LCDモジュール58により操作キーとして表示されたメニューをスイッチプレート59により入力操作でき、ディスプレイエディタとしても機能する。

【0035】さらに、操作パネル25の電気的なブロック構造を図5に基づいて説明する。まず、ROM60aとRAM61とが直結されたLCDコントローラ54

に、タッチパネル26のLCDモジュール58とスイッチプレート59とキーボード37とが接続されている。なお、このキーボード37のキー27～36の一部には、LEDが内蔵されているので、キーボード37にはLEDドライバ62が接続されている。

【0036】そして、LCDコントローラ54には、アドレスラッチ63が接続されており、このアドレスラッチ63とLCDコントローラ54とは、CPU64に接続されている。このCPU64には光トランシーバ65が接続されており、この光トランシーバ65は、外部装置（図示せず）と各種データを光線でシリアル通信する。さらに、アドレスラッチ63にはアドレスデコーダ66が接続されており、このアドレスデコーダ66は、LCDコントローラ54とLEDドライバ62とROM60bに直結されると共に、CPU64にシステムリセット67を介して接続されている。

【0037】さらに、タッチパネル26のスイッチプレート59は、図6に示すように、X方向の両端部に透明電極が形成された透明基板68と、Y方向の両端部に透明電極が形成された透明基板69とを積層した構造となっている。そしてこのスイッチプレート59に接続された座標検出回路70は、アナログスイッチ71やプルアップ抵抗72や各種ゲート73～80やA/D変換手段81及びコントローラ82により形成されている。

【0038】なお、このような座標検出回路70によるタッチパネル26の操作位置の座標検出は、透明基板68、69の電位X1、Y1、X2、Y2とに従って下記の表1のような条件の演算処理で実行される。

【0039】

【表1】

IN		OUT			
検出 状態	X/Y	X1	Y1	X2	Y2
0	0	VIN	H	Z	L
0	1	H	VIN	L	Z
1	X	L	VIN	L	Z

【0040】このような基本構成において、本実施の形態のデジタル複写機1により読取原稿の画像を複写する場合は、読取原稿がスキャナ部2により読取走査されてRGBの画像データが出力され、このRGBの画像データから生成されたYMCbの画像データがプリンタ部3により印刷用紙に印刷される。このような画像複写を実行する場合は、タッチパネル26の手動操作によりスキャナ部2やプリンタ部3等に各種情報が設定され、この設定情報に対応してスキャナ部2やプリンタ部3が動作する。

【0041】ここで、タッチパネル26の表示画面の具体例を図7及び図8に示す。複写動作の基本画面には、図7に示すように、カラーモード、自動濃度、マニュアル濃度、画質モード、自動用紙選択、用紙トレイ、用紙

自動変倍、等倍、ソート、スタック等のモード選択のメニューが表示され、さらに、クリエイト、カラー加工、移動/ブック加工、変倍等のサブ画面選択のメニューも表示される。図8は、手差両面モードに設定された場合の画面例を示す。

【0042】次に、3ラインCCD24により光電変換されて得られる画像データを処理するスキャナIPU

(Image Processing Unit) 91関連のハードウェア構成をその作用とともに図9を参照して説明する。このスキャナIPU91の制御部上の制御手段であるCPU92は、ROM93に格納されたプログラムを実行し、RAM94にデータ等を書き込むことで、スキャナIPU91の全体を制御する。このCPU92はデジタル複写機1の全体に対するシステム制御ユニット47側とシリアル通信により接続されており、コマンド及びデータの送受信により指令された動作を実行する。さらに、システム制御ユニット47は操作パネル25とシリアル通信により接続されており、ユーザからのキー入力指示により動作モード等を設定する。

【0043】また、CPU92にはI/O（原稿検知センサ、ホームポジションセンサ、原稿圧板開閉センサ、冷却ファン等）95が接続されており、I/O95の検知及びオン/オフの制御がなされる。モータドライバ96は、CPU92からのPWM出力によりドライブされることで励磁パルスシーケンスを発生し、第1、2の走査ユニット17、18をスキャニング駆動させるパルスモータ97を駆動する。ハロゲンランプ19を点灯させるランプレギュレータ98もCPU92に接続されている。

【0044】また、スキャナIPU91上には3ラインCCD24から出力される画像データを順次処理する各種の処理回路等が設けられている。まず、3ラインCCD24はスキャナIPU91の制御部上のタイミング回路（タイミング信号発生手段）99によってタイミング信号として各駆動クロックが与えられており、所定タイミングで各RGBのodd（奇数画素）、even（偶数画素）のアナログ信号をエミッタフォロワ回路100_r、100_g、100_bに出力する。これらのエミッタフォロワ回路100_r、100_g、100_bからアナログ処理手段を構成するアナログ処理回路101_r、101_g、101_bへ入力されたアナログ信号は、アナログ処理として減算法CDS（相関二重サンプリング）法によるサンプリング処理を受け、3ラインCCD24のオプティカルブラック部でラインクランプを実施し、odd、even間の出力差を補正することで、各々の系統毎のアンブゲインの調整を行う。ゲイン調整後は、odd、evenの2系統がマルチプレクサにより時系列的に合成されて1系統のアナログ信号となり、最終的に、DCレベルのオフセット調整を受けた後、A/Dコンバータ（A/D変換手段）102_r、102_g、102_bに入力される。

【0045】A/Dコンバータ102_r、102_c、102_bに入力されたアナログ信号は、デジタル信号に変換された後、シェーディング補正回路（シェーディング処理手段）103に入力されてシェーディング補正処理を受ける。即ち、照明系の光量不均一や3ラインCCD24の画素出力（感度）のばらつきがシェーディング補正処理により補正される。このシェーディング補正回路103は、シェーディング補正処理を行うためのシェーディング演算回路121、白メモリ122の他に、レジスタ設定部コントロール回路124が設けられ、バスI/F125を介してCPU92側に接続されている。シェーディング補正回路103によりシェーディング補正された画像データ（デジタルデータ）のうち、G、R用の画像データはライン間補正メモリ104_c、104_rへ入力されて、3ラインCCD24上におけるRGB用のライン間のライン数分だけ遅延させることでライン上の位置合わせを行わせる処理を行い、ドット補正回路105へ入力される。ドット補正回路105では、ライン間補正メモリ104_c、104_rから出力されたG、R用の画像データとシェーディング補正回路103から出力されたB用の画像データに関して、1ライン以内のドットずれの補正処理が行われる。次いで、スキャナγ補正回路106では反射率リニアデータをルックアップテーブル方式により補正する。

【0046】スキャナγ補正回路106により補正されたデジタルデータは、第1のルートでは、自動原稿色判定回路107と自動画像分離回路108とディレーメモリ109とを介してRGBフィルタ・色変換処理・変倍処理・クリエイト回路110、プリンタγ補正、書込処理回路111に入力される。スキャナγ補正回路106により補正されたデジタルデータは、第2のルートでは、画像データメモリ112_r、112_c、112_bに入力される。画像データメモリ112_r、112_c、112_bはスキャナ最大読取領域の画像データをRGB別に蓄積できるDRAMで構成されており、1スキャンでRGBの画像データを取り込み、フルカラー重ね画像出力時やリピータ複写時にはこの画像データメモリ112_r、112_c、112_bからRGB画像データを出力し第1ルートに戻ることに対応できるようになっている。

【0047】自動原稿色判定回路107では、ACS（有彩/無彩判定）処理を行う。このACS処理では、黒/灰色の判定が行われる。自動画像分離回路108では、像域分離処理として、エッジ判定（白画素と黒画素の連続性により判定）、網点判定（画像中の山/谷ピーク画素の繰返しパターンにより判定）、写真判定（文字・網点外で画像データのある場合）を行うことで、文字及び印刷部（網点部）、写真部の領域を判定してCPU92に伝え、後段のRGBフィルタ・色変換、プリンタγ補正、YMCBkフィルタ、階調処理でパラメータや係数の切換えに使用される。

【0048】RGBフィルタでは、RGBのMTF補正、平滑化、エッジ強調、スルー等のフィルタ係数を、先の領域判定結果に応じて切換え設定する。色変換処理では、RGBのデジタルデータから、YMCBk変換、UCR、UCA処理を行う。変倍処理回路では、画像データの主走査方向に対して拡大/縮小処理を行う。RGBフィルタ・色変換処理・変倍処理・クリエイト回路110に対しては画像表示部112が接続されており、拡大/縮小処理後のデジタルデータの表示が可能とされている。クリエイト回路では、クリエイト編集、カラー加工を行う。クリエイト編集では、斜体、ミラー、影付け、中抜き処理等を行い、カラー加工ではカラー変換、指定色消去、アンダーカラー処理等を行う。プリンタγ補正、書込処理回路111では、先の領域判定結果に基づいてプリンタγ変換とフィルタ係数の設定を行う。階調処理では、ディザ処理を行い、ビデオコントロールでは書込タイミング設定や画像領域、白抜き領域の設定やグレースケールやカラーパッチ等のテストパターン発生を行うことができ、最終画像データを書き込み処理でレーザスキャナ7中のレーザダイオードへ出力できるように処理する。

【0049】このような各機能処理は、CPU92に接続されておりROM93に格納されたプログラムにより各処理の設定と動作とをシステム制御ユニット47の指示により実行される。

【0050】ここで、アナログ処理回路101_r、101_c、101_bの駆動等に関して図10を参照して説明する。3ラインCCD24やアナログ処理回路101_r、101_c、101_bに対してタイミング回路99からは、図10に示すように、3ラインCCD24用のクロックとして、φ1、φ2、φ1L、φCLB、φRB、φTG（CCD移送ゲートクロック）、アナログ処理系クロックとして、SHP（P相サンプルホールドパルス）、SHD（D相サンプルホールドパルス）、SHDE2（D相サンプルホールドパルス2段目）、MPX（MPXパルス）、CLP（ラインクランプ）、A/Dコンバータ102に対してADCクロックなる各種の駆動クロック（タイミング信号）が出力される一方、デジタル系クロックとして、シェーディング補正回路103に対するICLK（IPUクロック）、LSYNC（主走査ライン同期信号）、SFGATE、OFGATEや、ライン間補正メモリ104_c、104_r用のRSTW、RSTRG、RSTRR、FMGATEなる各種の駆動クロック（タイミング信号）が出力されるように設定されている。

【0051】このタイミング回路99は、CPU92等に対してアドレスバス/データバス等のバスライン113を介して接続されたバスI/F（インタフェース）114を有しており、CPU92にこのバスI/F114を介して接続されたレジスタ・設定部・コントロール回

路 115 が設けられている。また、タイミング回路 99 は基準クロック発振器（基準クロック発生手段）116 から入力される基準クロックを基本とするものであるが、この基準クロック発振器 116 とタイミング回路 99 との間にはスペクトラム拡散クロック発生器（スペクトラム拡散クロック発生手段）117 が介在されている。ここに、スペクトラム拡散クロック発生器 117 を介在させることで、タイミング回路 99 から出力される全てのクロックに対して同期を取って拡散クロックとして各回路へ入力される。

【0052】ここで、スペクトラム拡散クロック発生器 117 について説明する。このスペクトラム拡散クロック発生器 117 は、例えば、IC-WORKS Inc. の SSFTG (W42C31-03) マニュアルを参照すれば、図 11 に示すように、水晶発振器を用いた基準クロック発振器 116 の出力を分周する分周比 N の分周器 151 と、PLL 回路 152 と、出力側分周器 153 とにより構成されている。PLL 回路 152 は、位相比較器 154 とチャージポンプ 155 と電圧制御発振器 (VCO) 156 と分周比 M のフィードバック分周器 157 とチャージポンプ 155 ・電圧制御発振器 157 間に介在されて変調周波数との加算処理を行う加算器 157 とにより構成されている。

【0053】このようなスペクトラム拡散クロック発生器 117 は、基準クロック発振器 116 から入力された基準クロックを $\pm 2.5\%$ の範囲で周波数変調する。即ち、図 12 に示す周波数変調プロファイルのように周期変調させる。

【0054】変調周波数 f_m は、基準クロック周波数 17.5MHz とすると、

$$f_m = 31 \times (\text{基準クロック周波数} / 18.432) = 29.433\text{kHz}$$

$$T_m = 1 / f_m = 33.976\mu\text{s}$$

で求められる。

【0055】この変調周波数で拡散された前後のクロック出力の周波数帯域は、上述のマニュアル中で示されているように、図 13 に示すようになる。スペクトラム拡散クロック発生器 117 の内部の PLL 回路 152 の出力を変調して、同調したクロック信号の帯域を拡散させることでピーク値を減衰させる。ピーク値の減衰率は高調波の次数や変調の度合いに依存し、

$$dB = 6.5 + 9.1 \log_{10}(P) + 9.1 \log_{10}(F)$$

P = 拡散の割合 (%)、 F = 減衰を測定した周波数 (MHz)

で求められる。このように拡散の割合が大きく周波数が高いほど減衰効果が大きくなる。

【0056】このようなスペクトラム拡散クロック発生器 117 を前述した読取系に適用した場合について説明する。前述したように、タイミング回路 99 から CCD

系各クロック、アナログ処理系各クロック、ADC クロック、IPU クロック等が各々各ブロック 24、101、102、103 等へ供給される。基準クロックに対してスペクトラム拡散クロック発生器 117 にて変調したクロックをタイミング回路 99 へ入力しているため、全ての同期が取れておりクロック信号に対するセットアップタイムとホールドタイムも損ねることなく同期回路を伴ったデジタル回路では動作上問題はない。これに対して、アナログ回路では、アナログ出力部においては信号出力部分が十分な平坦性を保てれば問題ないが、保てなくなってくると問題となる。これは、一般的に動作周波数が高くなればなるほど困難となってくる。

【0057】アナログ信号とサンプリングクロックは同期は取れているもののサンプリングポイントに傾斜がある場合にはサンプル値が微妙に変化する。特に、CCD 24 出力やアナログ処理回路 101 の内部信号はクロックノイズ等の影響もあり、拡散クロックの変調周波数に依存する周期的なノイズが発生する。例えば、CCD 24 からアナログ信号がエミッタフォロフ 100 を介してアナログ処理回路 101 に入力され、SHD クロック信号によってサンプリングした時の周期的なノイズのあった場合について図 14 を参照して説明する。

【0058】図 14 は、CCD 24 の黒出力部のサンプリングポイント部を拡大して示したものである。ここでは、説明を簡略化するためにこの部分が単調増加している場合について説明する。基準周波数のサンプリングポイントに対して $\pm 2.5\%$ の周波数変調により $+2.5\%$ 変動した場合は画像データは MIN 値を取り、 -2.5% 変動した場合は MAX 値を取る、このように画像データが周期的な変動を持つこととなる。

【0059】図 15 により主走査ライン毎のノイズの発生について説明する。図 15 は変調周波数によるノイズが主走査ライン毎に移動していく様子を示した図である。山の部分は画像データが高い明るい部分、谷の部分は画像データが低い暗い部分である。各主走査ライン上の横破線は CLP クロック（ラインランプ信号）による主走査ライン毎の DC レベルを決めている信号である。即ち、横破線との差で画像データレベルが決定する。図示例では、山の部分の矢印が長い物ほど画像データが高くなり画像ノイズとなる。図 15 に示す例では、CLP、LSYNC（主走査ライン同期信号）、図示しない ϕ_{TG} （CCD 移送ゲートクロック）とともに変調周波数の位相と同期が取れていない場合である。位相が主走査ライン毎にずれていくことにより周期的な画像ノイズとなる。これは、スジ状の画像ノイズとして現れる場合がある。

【0060】【特徴的構成例 1】この点、本実施の形態では、図 16 に示すように、タイミング回路 99 から出力される LSYNC（主走査ライン同期信号）をスペクトラム拡散クロック発生器 117 のリセット端子にも入

力させることにより、変調位相整列手段131が構成されている。即ち、主走査方向の読取位置の機械差を調整（横レジスト調整）した信号であるLSYNC（主走査ライン同期信号）をスペクトラム拡散クロック発生器117のリセット信号として、LSYNC（主走査ライン同期信号）の立上りで変調プロファイルの再スタートを毎回かけることで主走査ライン毎に変調プロファイルの位相を揃えることが可能となる。これにより、図17に示すように、周期ノイズも位相が揃うことになる。このような主走査方向の均一な変動は、A/Dコンバータ102_a、102_b、102_c以降のシェーディング補正回路103によるシェーディング補正処理により取り除くことができる。よって、結果的には、EMI規制をクリアし得ることとなる。

【0061】〔特徴的構成例2〕なお、図18に示すように、LSYNC（主走査ライン同期信号）に代えて、このLSYNC（主走査ライン同期信号）対応のφTG（CCD移送ゲートクロック）をスペクトラム拡散クロック発生器117のリセット端子にも入力させることにより、変調位相整列手段132を構成してもよい。このφTG（CCD移送ゲートクロック）は、CCD24の電荷蓄積時間を決定する信号であり、φTG（CCD移送ゲートクロック）の基準により転送クロックが駆動されてCCD24よりアナログ信号が出力されるので、CCD24においては絶対的な基準信号となるが、その周期はLSYNC（主走査ライン同期信号）に等しいので、LSYNC（主走査ライン同期信号）に代えてスペクトラム拡散クロック発生器117のリセット信号として用いても同様な効果が得られる。

【0062】〔特徴的構成例3〕なお、LSYNC（主走査ライン同期信号）を用いる図16の場合でもφTG（CCD移送ゲートクロック）を用いる図18の場合でも、図19に示すように、シェーディング補正回路103中にCCD24の全画素分の黒メモリ123を搭載すれば、より効果的となる（図19はφTG（CCD移送ゲートクロック）を用いた例で示している）。即ち、ノイズレベルの位相がライン毎に揃ってくるので、シェーディング補正回路103でこのノイズを補正することが可能となる。特に、全画素分の黒メモリ123を搭載することにより、補正効果も大きく黒側での変動を補正することが可能となる。

【0063】シェーディング補正の計算式（10bit時）を示すと、

$$\left(\left((1 \text{ 画素毎の読取データ}) - (1 \text{ 画素毎の黒補正データ}) \right) / \left((1 \text{ 画素毎の白補正データ}) - (1 \text{ 画素毎の黒補正データ}) \right) \right) \times 1023$$

のようになる。

【0064】また、図17に示したように、LSYNC（主走査ライン同期信号）、φTG（CCD移送ゲートクロック）、CLP（ラインクランプ信号）の周期をス

ペクトラム拡散クロック発生器117の変調周波数の整数倍にすることにより、スペクトラム拡散クロック発生器117を入れた場合と入れない場合とで、同期信号の周期ずれにより発生する縦倍率誤差やCCD24の蓄積時間のばらつきによる微妙な濃度差も発生させなくすることができる効果も得られる。LSYNC（主走査ライン同期信号）の周期はタイミング回路（タイミングASIC）99のLSYNC設定レジスタの設定値を変更することで対応できる。また、基準クロック発振器116の基準クロックの発振周波数を変更することにより本条件を得ることも可能である。

【0065】

【発明の効果】請求項1記載の発明によれば、光電変換手段やアナログ処理手段の駆動クロックにスペクトラム拡散クロックによる変調をかけると、サンプリングする信号の波形形状によっては周期的なノイズが発生することが考えられるが、変調位相整列手段によりスペクトラム拡散クロック発生手段の変調周期の位相を主走査ライン同期信号に対応させて揃えるようにしたので、変調周波数の位相を一致させることで、主走査ラインの周期的なノイズを次の主走査ライン以降に対しても等しくすることができ、よって、後段のシェーディング処理手段により周期的なノイズを取り除くことができ、EMI規制をクリアさせることができる。

【0066】請求項2記載の発明によれば、請求項1記載の画像読取装置において、主走査ライン同期信号を用いてスペクトラム拡散クロックの変調プロファイルのライン毎の同期を確実に取るようにしたので、周期的なノイズが発生しても後段のシェーディング処理手段により確実に取り除くことができる。

【0067】請求項3記載の発明によれば、主走査ライン同期信号に周期が等しいCCD等の光電変換手段に対する駆動クロックの一部でありその電荷蓄積時間を決定するための移送ゲートクロック信号をリセット信号として利用するようにしたので、横レジストのばらつきの影響を受けることなく、周期的なノイズを取り除くことができる。

【0068】請求項4記載の発明によれば、請求項1ないし3の何れかに記載の画像読取装置において、主走査ライン同期信号の周期をスペクトラム拡散クロック発生手段の変調周期の整数倍としたので、スペクトラム拡散クロック発生手段を入れた場合と入れない場合とで主走査ライン同期信号の周期を等しくすることで、同期信号周期のずれによる倍率ずれや読取値の微妙なずれを防止することができる。

【0069】請求項5記載の発明によれば、請求項1ないし4の何れかに記載の画像読取装置において、変調によるノイズは黒部側に影響度が大きい、シェーディング処理手段に黒メモリを全画素分持つことにより、変調による変動を確実に取るすることができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態に係る前提的構成例としてのデジタル複写機の内部構造を示す縦断側面図である。

【図2】タッチパネルを一部とする操作パネルの外観を示す平面図である。

【図3】タッチパネルの外観を示す平面図である。

【図4】デジタル複写機の回路構造を示すブロック図である。

【図5】操作パネルの回路構造を示すブロック図である。

【図6】タッチパネルに接続された座標検出回路の回路構造を示すブロック図である。

【図7】タッチパネルに基本動作の設定画面が表示出力された状態を示す平面図である。

【図8】タッチパネルに手差両面モードの設定画面が表示出力された状態を示す平面図である。

【図9】スキャナIPU関連のハードウェア構成を示すブロック図である。

【図10】タイミング回路等の詳細を含めて示すシェーディング補正回路までのハードウェア構成を示すブロック図である。

【図11】スペクトラム拡散クロック発生器の構成例を示すブロック図である。

【図12】周波数変調プロファイルを示す特性図である。

【図13】変調周波数で拡散された前後のクロック出力*

*の周波数帯域を示す特性図である。

【図14】CCDの黒出力部のサンプリングポイント部を拡大して示す説明図である。

【図15】主走査ライン毎のノイズの発生について説明するタイムチャートである。

【図16】本実施の形態の特徴的構成例1としてLSYNCをリセット信号とさせた場合の構成例を示すブロック図である。

【図17】その場合の動作例を示すタイムチャートである。

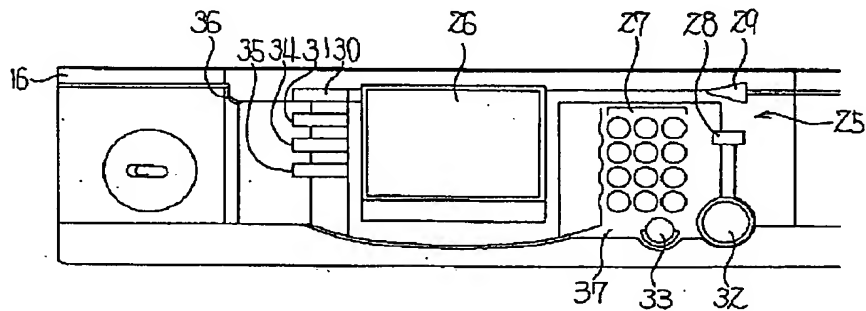
【図18】本実施の形態の特徴的構成例2として ϕTG をスペクトラム拡散クロック発生器のリセット信号とさせた場合の構成例を示すブロック図である。

【図19】本実施の形態の特徴的構成例3としてシェーディング補正回路中に黒メモリを含む場合の構成例を示すブロック図である。

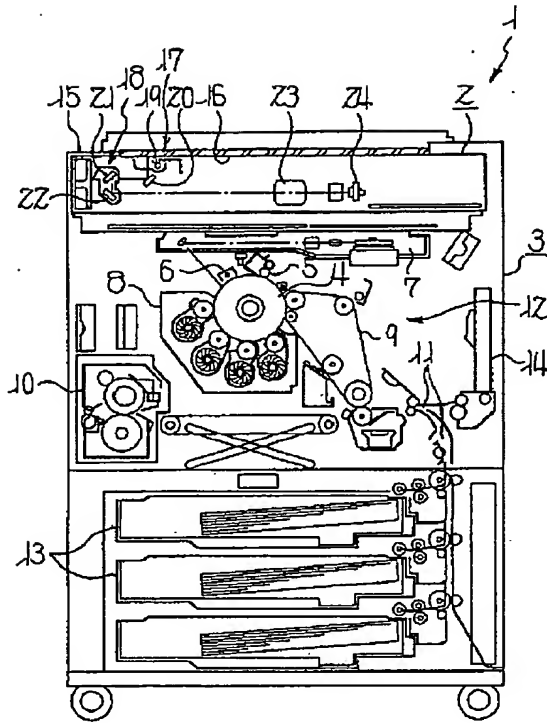
【符号の説明】

24	光電変換手段
99	タイミング信号発生手段
101	アナログ処理手段
102	A/D変換手段
103	シェーディング処理手段
116	基準クロック発生手段
117	スペクトラム拡散クロック発生手段
123	黒メモリ
131, 132	変調位相整列手段

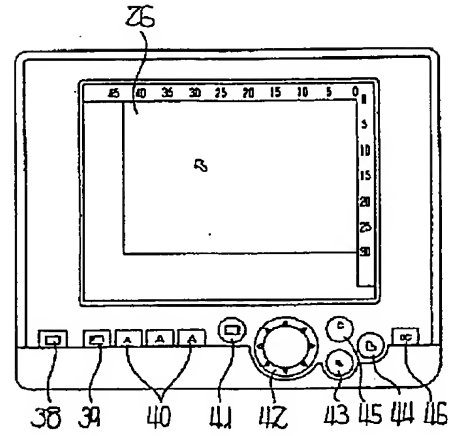
【図2】



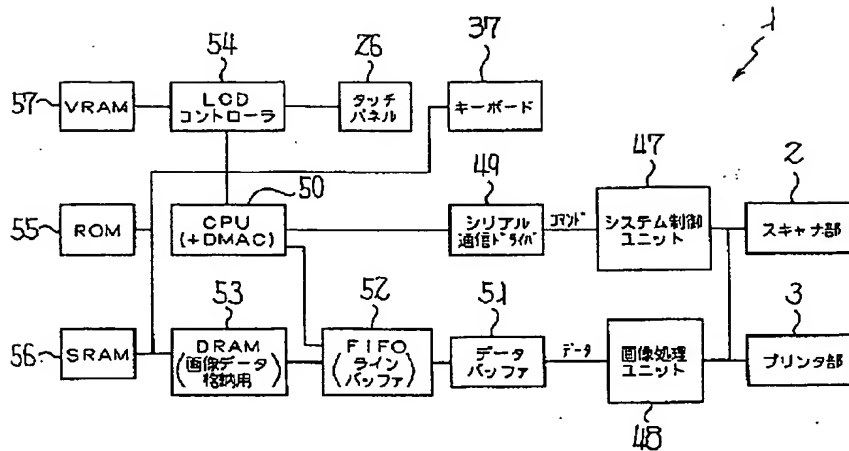
【図1】



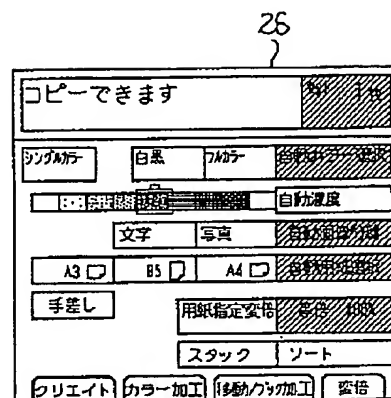
【図3】



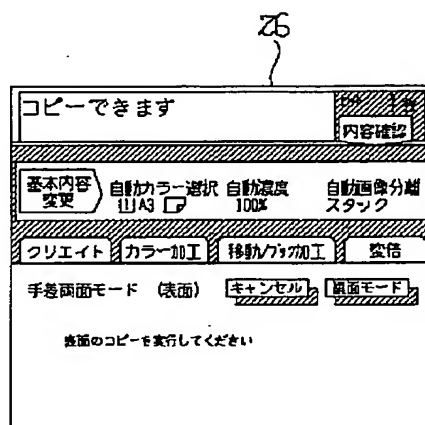
【図4】



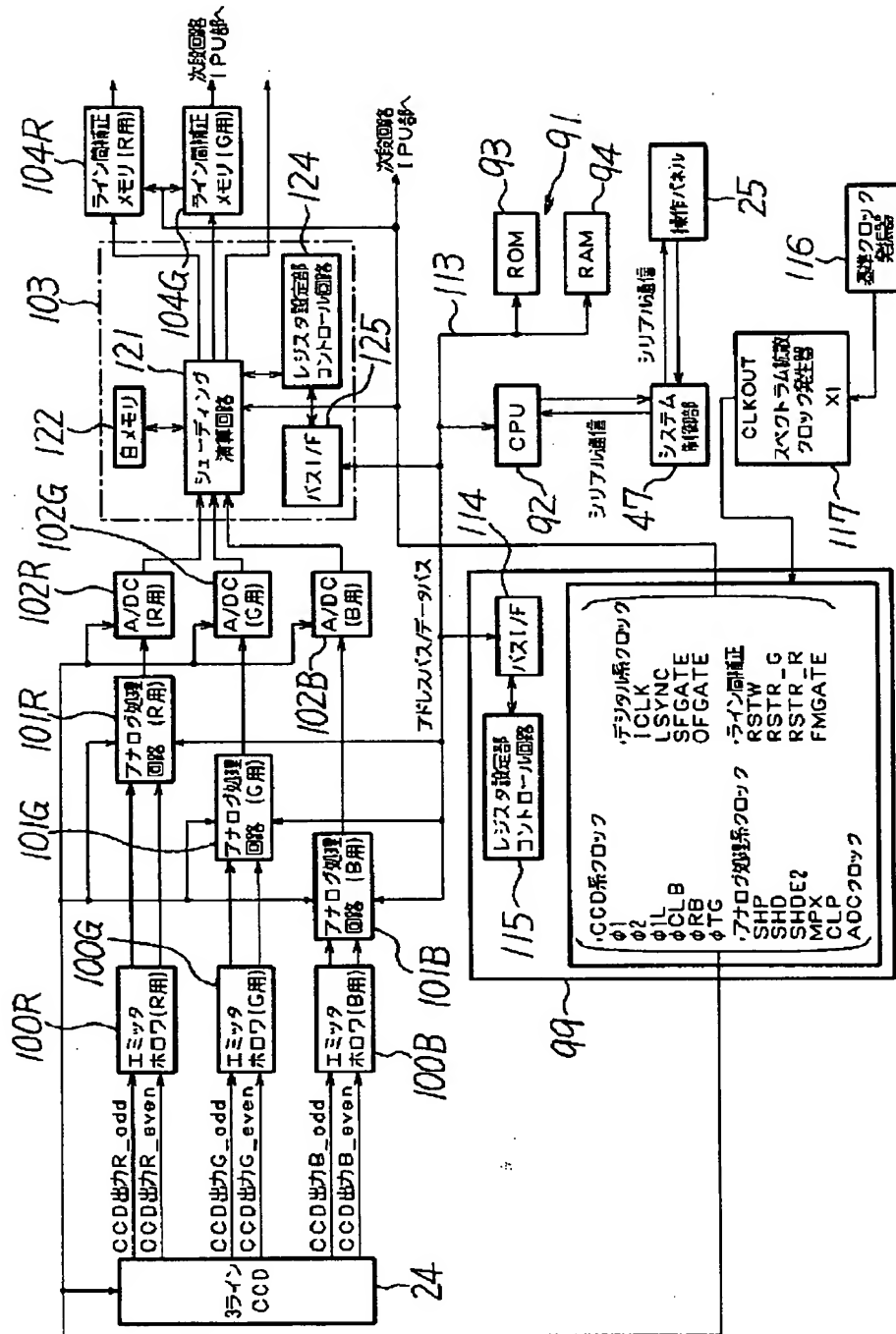
【图 7】



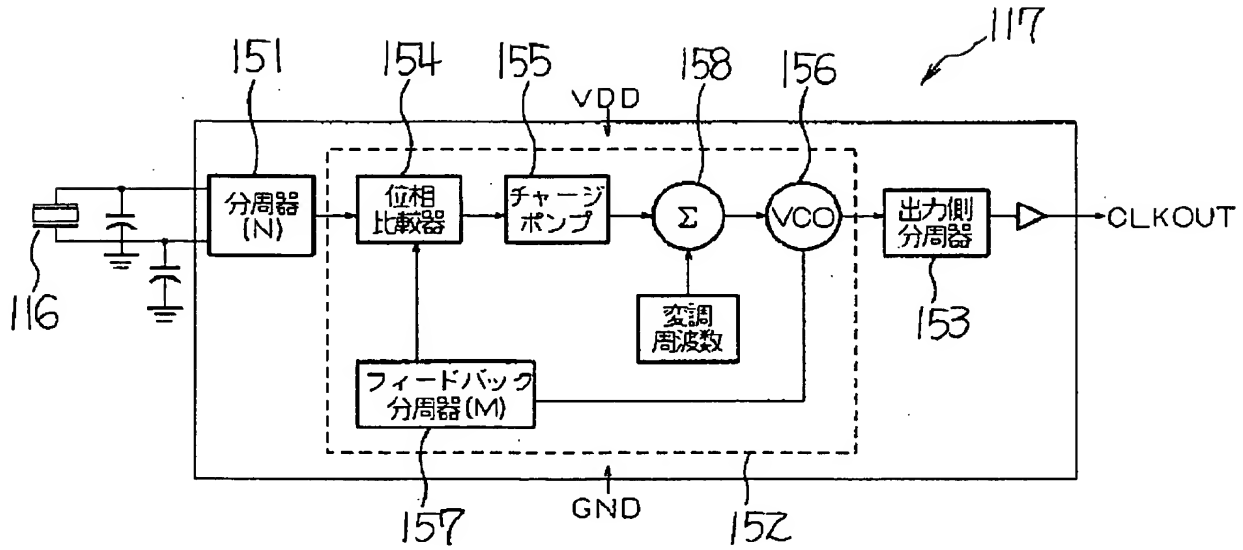
【图 8】



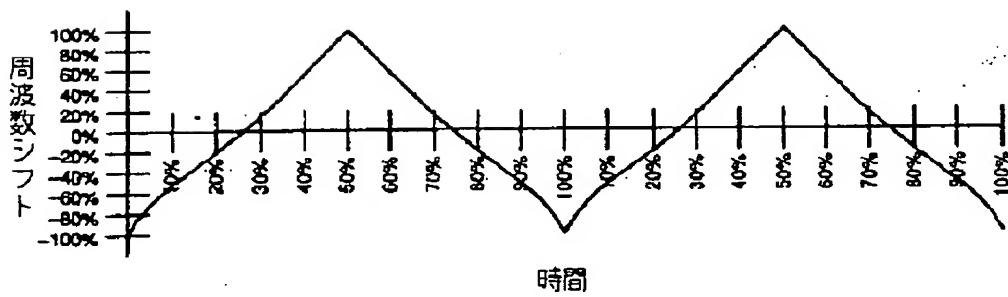
【図10】



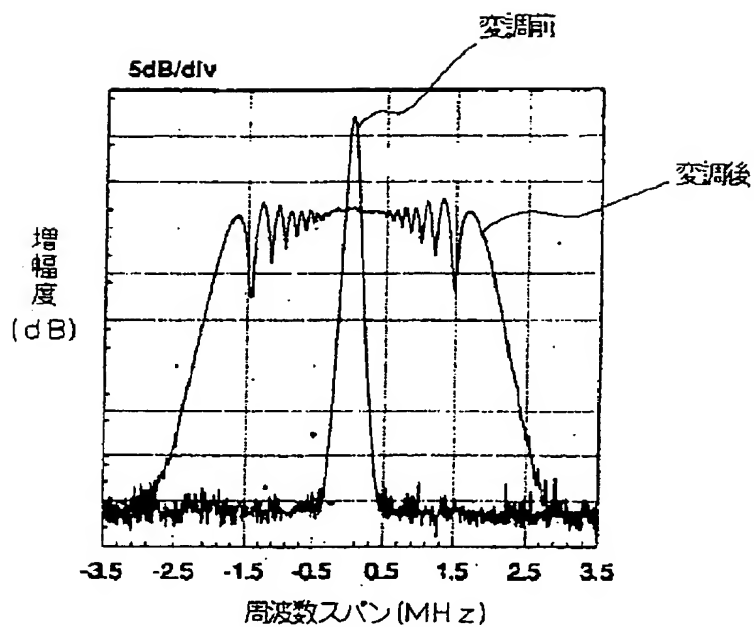
【図11】



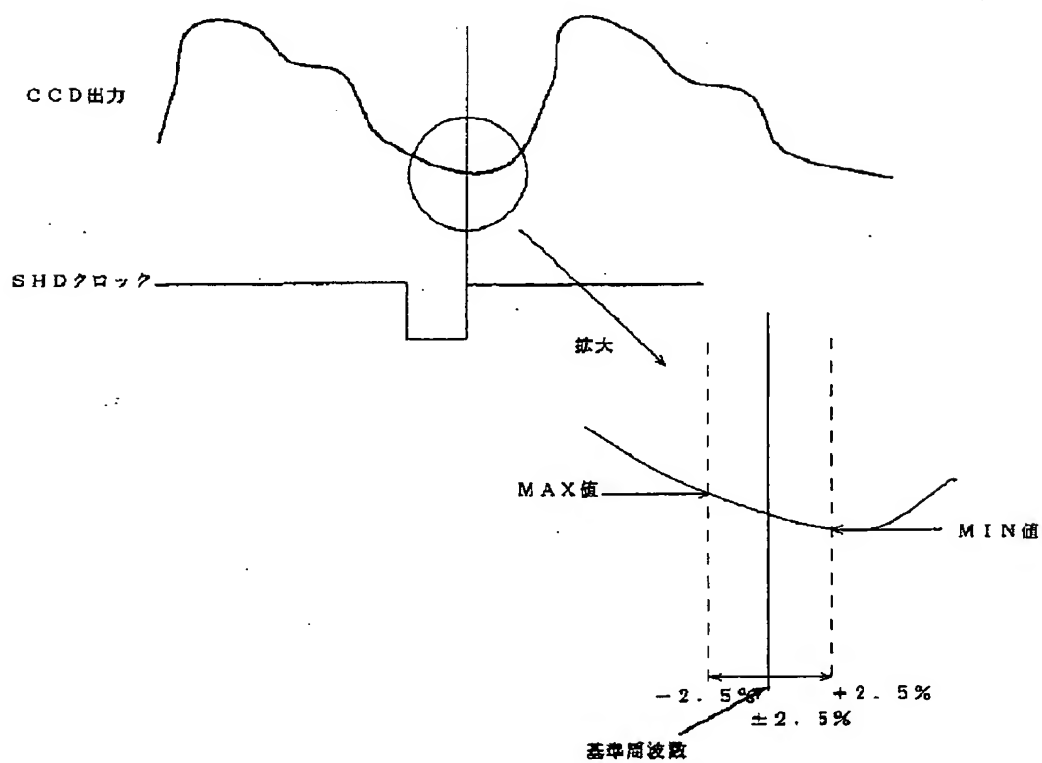
【図12】



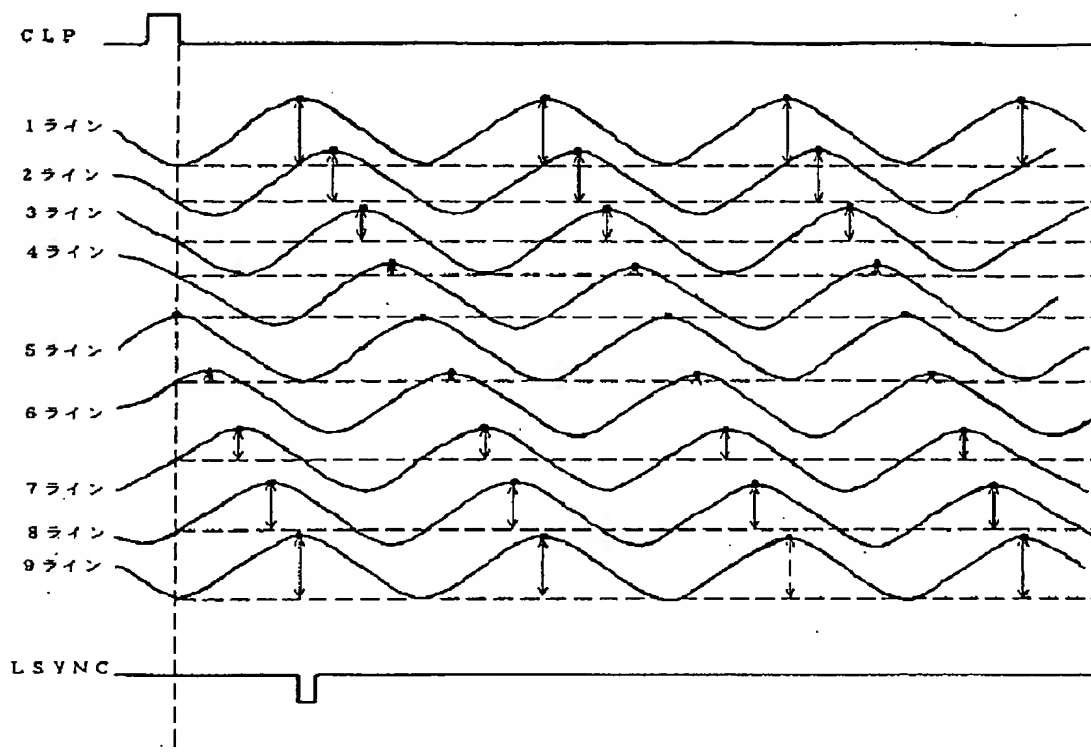
【図13】



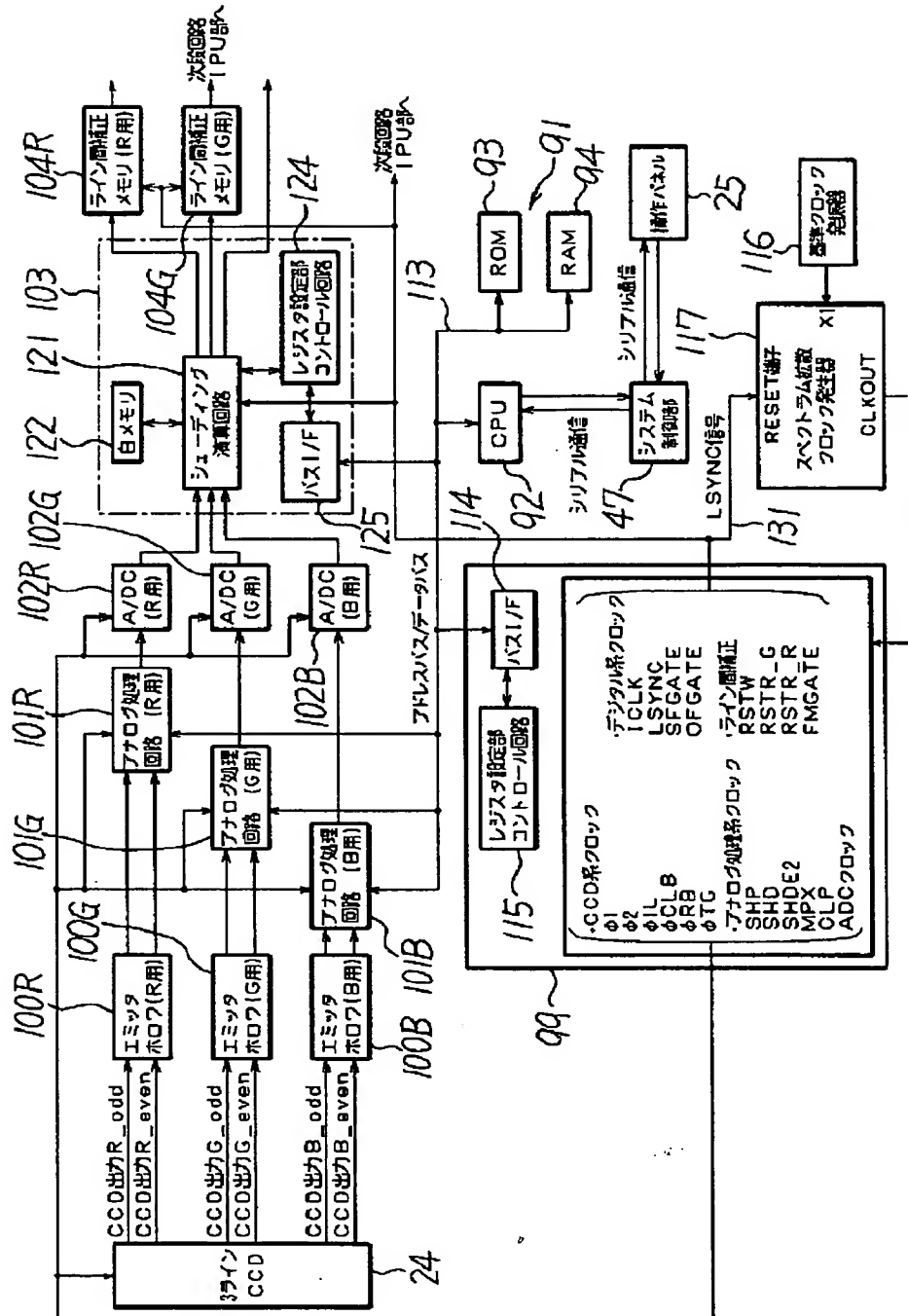
【図14】



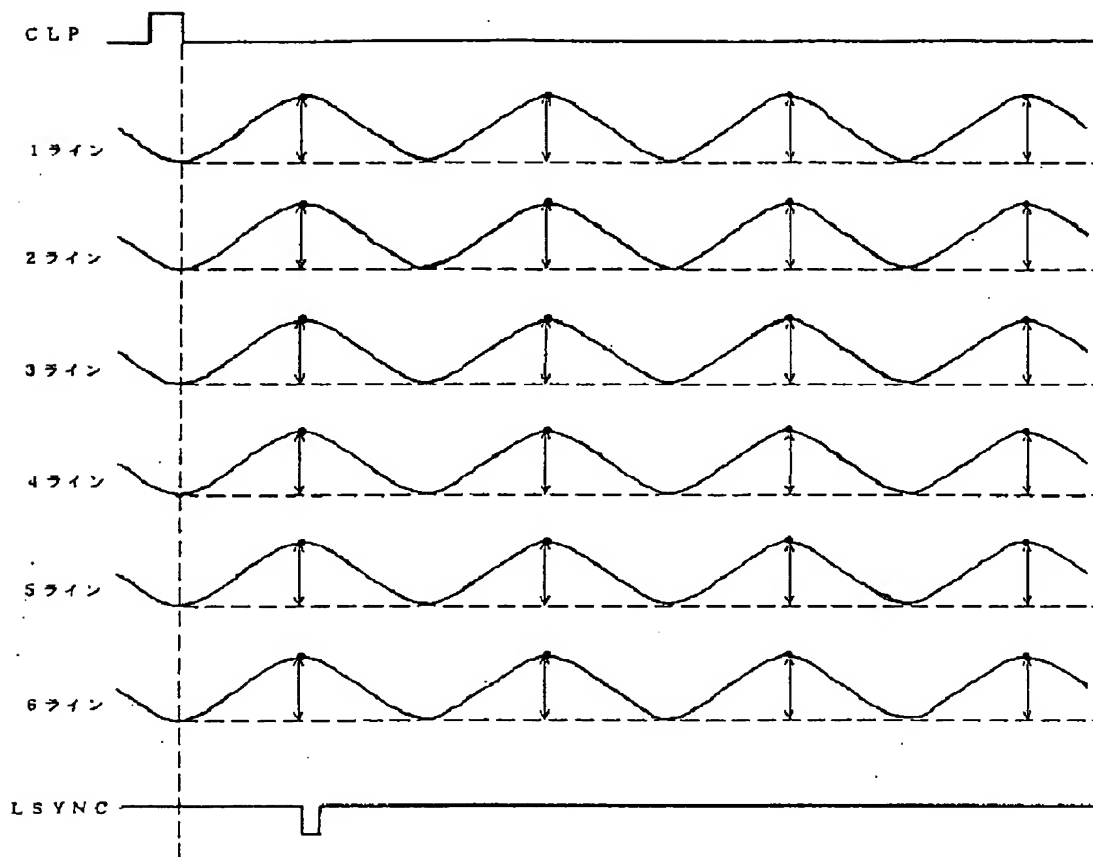
【図15】



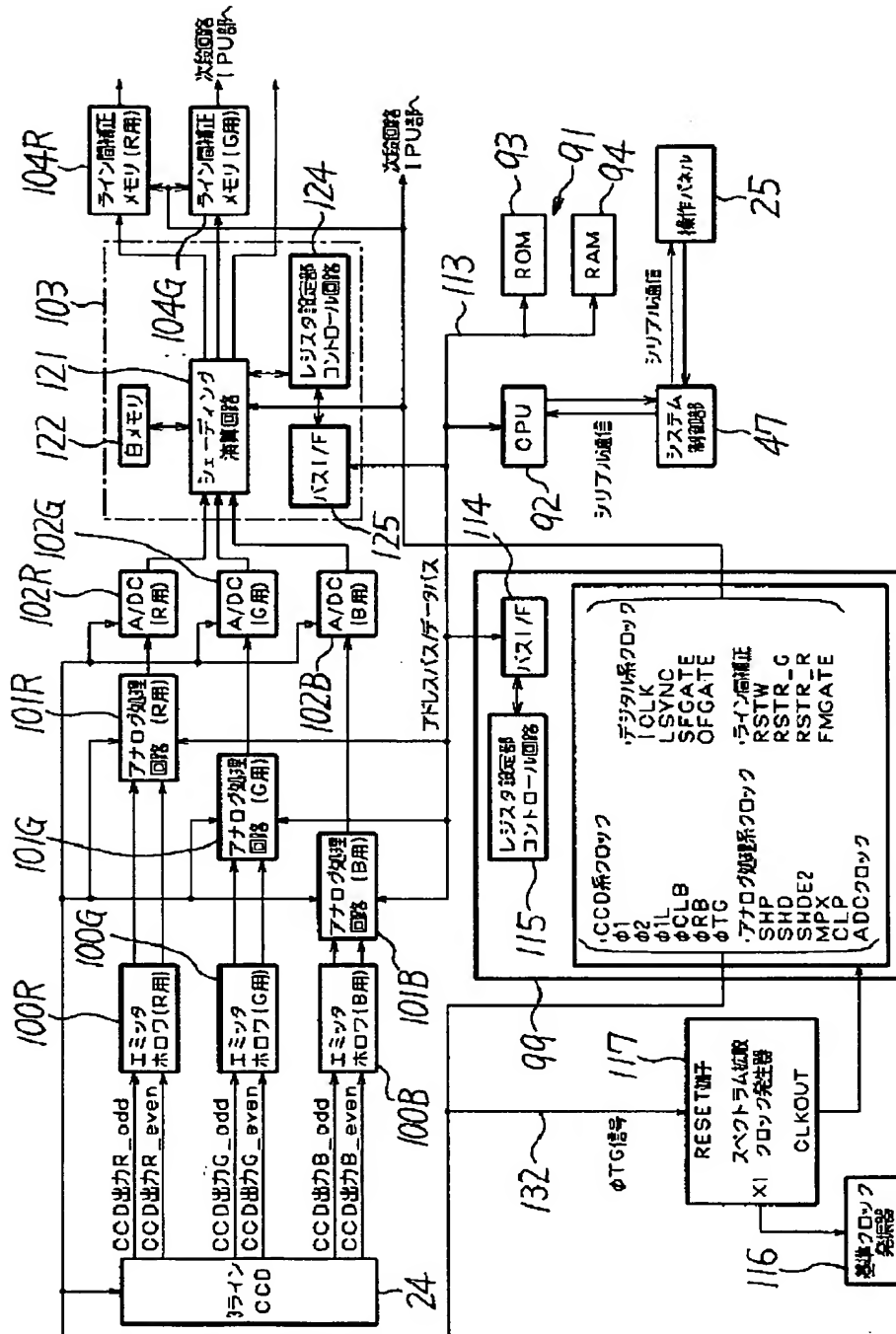
【図16】



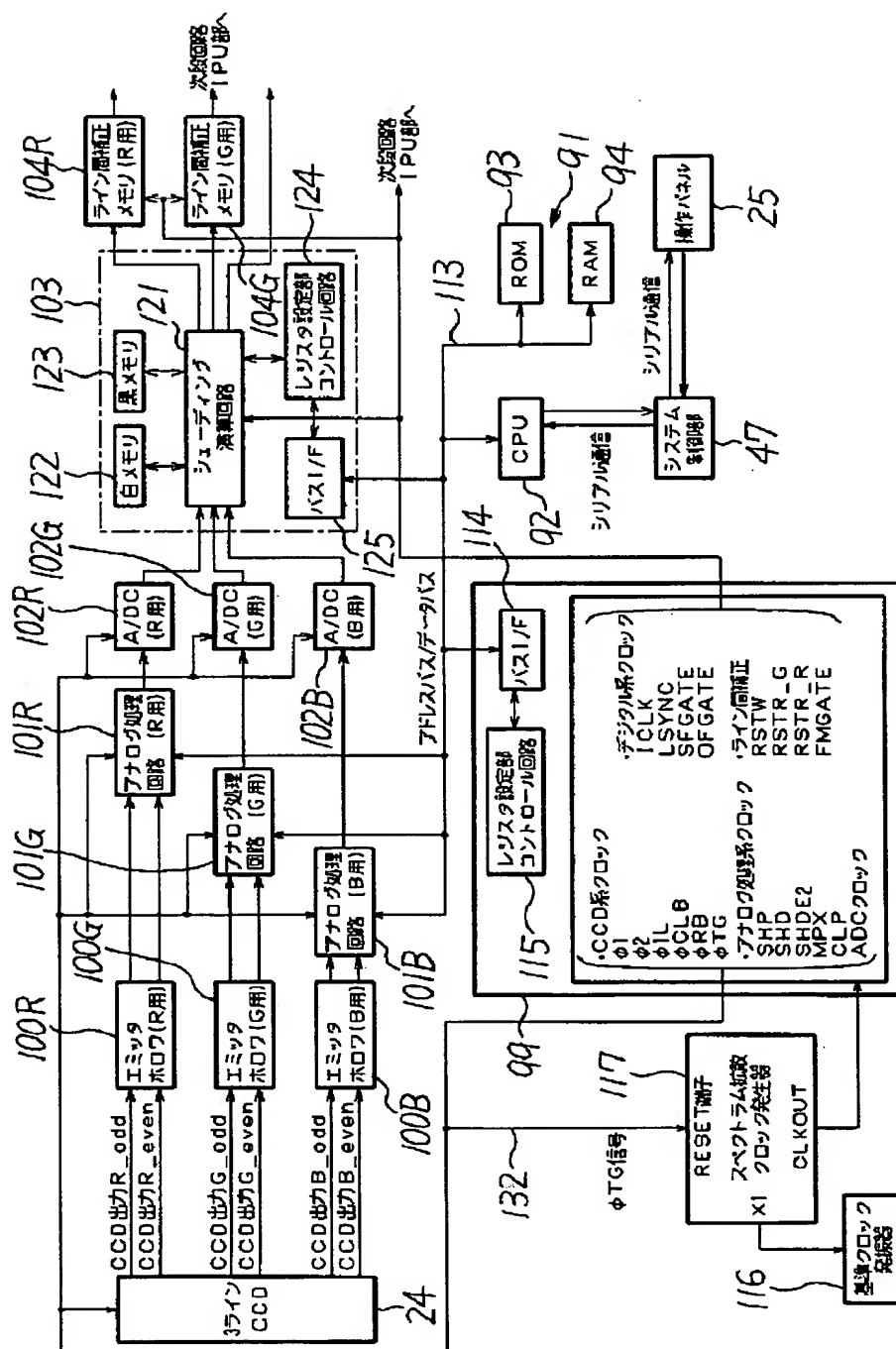
【図17】



【図 18】



【图 19】



フロントページの続き

Fターム(参考) 5B047 AA01 BB02 CA06 CB17 DA04
DB01
5C072 AA01 BA08 BA11 UA02 UA06
UA12 UA16 UA20 XA01
5C077 LL02 MM03 NP07 PP06 PQ04
PQ22 RR01 RR18 SS01 SS03
TT06